PTO 04-0434

Japanese Patent

Document No. H04-96535

CLOCK INTERCHANGING DEVICE

[Kurokku Norikae Sochi]

Sumio Ozeki

UNITED STATES PATENT AND TRADEMARK OFFICE

Washington, D.C. November 2003

Translated by: Schreiber Translations, Inc.

Country	:	Japan
Document No.	:	H04-96535
Document Type	:	Kokai
Language	:	Japanese
Inventor	:	Sumio Ozeki
Applicant	:	Fujitsu, Ltd.
IPC	:	H 04 L 7/00
		G 06 F 5/06
Application Date	:	August 14, 1990
Publication Date	:	March 27, 1992
Foreign Language Title	:	Kurokku Norikae Sochi
English Title	:	CLOCK INTERCHANGING DEVICE

/1[1]

Specification

1. Title of the invention

Clock interchanging device

2. Patent Claims

1. A clock interchanging device constituted to possess

The serial-parallel converter (21), which executes the serial-parallel conversion of serial input data in compliance with a first clock,

The multiple memory units [(22)-<1> ~ (22)-<n>], into which output data of said serial-parallel converter (21) are scheduled to be inputted,

The encoding memory unit selector (23), which selects, as an encoding memory unit, one of said multiple memory units [(22)-<1> ~ (22)-<n>] and then encodes the output data of said serial-parallel converter (21) into the same,

The decoding memory unit selector (24), which selects, as a decoding memory unit, one of said multiple memory units [(22)-<1> ~ (22)-<n>],

The parallel-serial converter (25), which takes in the output data of said decoding memory unit selector (24) and then executes the parallel-serial conversion of serial input data in compliance with a second clock, and

[1] Numbers in the margin indicate pagination in the foreign text.

The control unit (26), which detects the mutual phase contiguity of the selection switch timing of said decoding memory unit selector (24) and the data intake timing of said parallel-serial converter (25) and then executes a control routine in such a way that their respective phases will become mutually apart at the time of said detection.

2. A clock interchanging device constituted to possess

The serial-parallel converter (21), which executes the serial-parallel conversion of serial input data in compliance with a first clock,

The multiple memory units [(22)-<1> ~ (22)-<n>], into which output data of said serial-parallel converter (21) are scheduled to be inputted,

The encoding memory unit selector (23), which selects, as an encoding memory unit, one of said multiple memory units [(22)-<1> ~ (22)-<n>] and then encodes the output data of said serial-parallel converter (21) into the same,

The decoding memory unit selector (24), which selects, as a decoding memory unit, one of said multiple memory units [(22)-<1> ~ (22)-<n>],

The parallel-serial converter (25), which takes in the output data of said decoding memory unit selector (24) and then executes the parallel-serial conversion of serial input data in compliance with a second clock, and

The decoding memory unit selection signal generator (27), which generates multiple decoding memory unit selection signals of

mutually different phases that determine the selection switch timings of said decoding memory unit selector (24), /2

The phase detector (28), which detects the mutual phase contiguity of the selection switch timing of said decoding memory unit selector (24) and the data intake timing of said parallel-serial converter (25), and

The decoding memory unit selection signal selector (29), which selects a decoding memory unit selection signal endowed with a concomitantly generated phase that entails, upon the detection of the mutual contiguity of the respective phases, the decontiguation of said phases and then feeds the selected signal into said decoding memory unit selector (24).

3. A clock interchanging device specified in Claim 2 wherein said phase detector (28) is constituted to include

An initial flag circuit which becomes set by the initial decoding timing signal that determines the intake timing of said parallel-serial converter and then prohibits the transmission of the subsequently inputted decoding timing signal,

A forward flag circuit which compares [the phase of] the decoding timing signal fed via said initial flag circuit with the phase of said decoding memory unit selection signal and which becomes set at the time of the detection of their mutual phase contiguity under the pervasion of forward phases, and

A backward flag circuit which compares [the phase of] the decoding timing signal fed via said initial flag circuit with the phase of said decoding memory unit selection signal and which

becomes set at the time of the detection of their mutual phase contiguity under the pervasion of backward phases.

3. Detailed explanation of the invention

(Summary)

The present invention concerns a clock interchanging device used for a data transmission device, etc., whereas

Its objective is to secure the continuity of clock interchanging data by preventing the losses or redundant decoding of clock interchanging data even under the pervasion of input and output clock jitters, whereas

It is constituted to possess a serial-parallel converter which executes the serial-parallel conversion of serial input data in compliance with a first clock, multiple memory units into which output data of said serial-parallel converter are scheduled to be inputted, a encoding memory unit selector which selects, as an encoding memory unit, one of said multiple memory units and then encodes the output data of said serial-parallel converter into the same, a decoding memory unit selector which selects, as a decoding memory unit, one of said multiple memory units, a parallel-serial converter which takes in the output data of said decoding memory unit selector and then executes the parallel-serial conversion of serial input data in compliance with a second clock, and a control unit which detects the mutual phase contiguity of the selection switch timing of said decoding memory unit selector and the data

intake timing of said parallel-serial converter and then executes a control routine in such a way that their respective phases will become mutually apart at the time of said detection.

(Industrial application fields)

The present invention concerns a clock interchanging device used for a data transmission device, etc.

A clock interchanging device may, for example, be designed, in a case where data of a transmission path are converted into data of a transmission path the signal rate of which differs from the signal rate of said transmission path, to interchange the first transmission path clock with the second transmission path clock. During this clock interchanging routine, it is necessary not to adversely affect the continuity of the clock interchanging data due to data losses, etc.

(Prior art)

An example of the clock interchanging devices of the prior art is shown in Figure 5. In Figure 5, (1) is a serial-parallel conversion circuit which consists of a shift register, whereas input data which have been serially inputted are converted into 8-bit parallel data in compliance with the encoding clock CLK <w> and then fed into the even-numbered register (2) and the odd-numbered register (3), which serve as internal registers.

(4) is an encoding register selection circuit which selects an encoding register from between the registers (2) and (3), and

it is constituted by the JK flip-flop (41) and the AND circuits (42) & (43), whereas the encoding timing signal WT is inputted into it. This encoding timing signal WT is generated at a frequency of once every 8 bits with regard to the encoding clock CLK <w>. Whenever the encoding timing signal WT becomes inputted into this encoding register selection circuit (4), the output state of the JK flip-flop (41) becomes permutated, as a result of which the AND circuits (42) and (43) become alternately opened, whereas the action of the encoding timing signal WT is invoked in such a way that the encoding register selection signals WRS <e> and <o> will respectively become fed into the even-numbered register (2) and the odd-numbered register /3
(3) via these AND circuits (42) and (43), as a result of which encoding enable states become alternately achieved by the even-numbered register (2) and the odd-numbered register (3).

(5) is a decoding register selection circuit which selects either of the registers (2) and (3) as a decoding register, whereas the permutation output *Q outputted from the flip-flop (41) within the encoding register selection circuit (4) is decoded and designated as the decoding register selection signal RRS. The polarities of this decoding register selection signal RRS are permutated at every 8 bits of the encoding clock CLK <w> for permutating the input selection of the decoding register selection circuit (5).

The decoding data selected by said decoding register selection circuit (5) are then inputted into the parallel-serial

conversion circuit (6), which is constituted by a shift register. The decoding clock CLK <r> is inputted into the clock input terminal of this parallel-serial conversion circuit (6), whereas the decoding timing signal RT, which becomes generated at every 8 bits of the decoding clock CLK <r>, is inputted into the load input terminal of the same, whereas decoding data are taken in from the decoding register selection circuit (5) at the timing where the decoding timing signal RT has become inputted, whereas said decoding data are sequentially converted into serial data in compliance with said decoding clock CLK <r> and then outputted.

The action of the device of this example of the prior art will be explained below with reference to Figure 6. Figure 6 hereby represents a time chart provided for explaining the states of the respective units of the device of the example of the prior art, where the notations denote the following: (a): Encoding timing signal WT; (b): Selection state of the encoding register; (c): Retention data, namely output state, of the even-numbered register (2); (d): Retention data, namely output state, of the odd-numbered register (3); (e): Decoding register selection signal RS; (f): Decoding timing signal RT.

Input data which have become serially inputted are converted into 8-bit parallel data by the serial-parallel conversion circuit (1) and then inputted into the registers (2) and (3). The encoding register selection circuit (4) feeds, whenever the encoding timing signal WT has become inputted, the encoding register selection signal WRS <e> or <o> into the even-numbered

register (2) or odd-numbered register (3), as a result of which the registers (2) and (3) alternately come to serve as an encoding register, as Figure 6 (b) shows. The parallel data #0, #1, #2, #3, #4, ... obtained sequentially as a result of the serial-parallel conversion of the serial-parallel conversion circuit (1) therefore become taken alternately into the even-numbered register (2) and the odd-numbered register (3) at the timing of the encoding timing signal WT, as Figures 6 (c) and (d) show.

Either of the retention data of these registers (2) and (3) are alternately selected by the decoding register selection circuit (5) and then fed into the parallel-serial conversion circuit (6). The decoding register selection signal RRS fed into the decoding register selection circuit (5) is permutated, as Figure 6 (e) shows, in such a way that the even-numbered register (2) and the odd-numbered register (3) will become alternately selected as a decoding register, and therefore, the original order of the decoding data fed into the parallel-serial conversion circuit (6) can be preserved, as parallel data #0, #1, #2, #3, ... indicate. Said decoding register selection signal RRS is the permutation output *Q of the flip-flop (41), and therefore, it is synchronized with the encoding timing signal WT.

The parallel-serial conversion circuit (6) takes in the parallel data #0, #1, #2, #3, #4, ... transmitted sequentially from the decoding register selection circuit (5) at the timing of the decoding timing signal RT, and after they have been subjected

to a parallel-serial conversion at a rate specific to the decoding clock CLK <r>, they are transmitted as serial output data.

(Problems to be solved by the invention)

In a case where the respective phases of the input and output clocks are mutually contiguous with regard to the aforementioned clock interchanging device of the prior art, the register selection on the decoding side becomes unstable due to the jitters (wavering) of said input and output clocks, due to which the losses and/or redundant decoding of clock interchanging data become likely.

At the generation timing of the decoding timing signal RT1 in Figure 6, for example, the decoding register selection circuit (5) selects the decoding data #1 of the even-numbered register (2), and therefore, said decoding data #1 become taken into the parallel-serial conversion circuit (6). At the generation timing of the next decoding timing signal RT2, the decoding register selection circuit (5) selects the decoding data #2 of the odd-numbered register (3), and therefore, said /4 decoding data #2 subsequently become taken into the parallel-serial conversion circuit (6).

Said decoding timing signal RT2 may, for example, be assumed to have come to waver toward the position of the decoding timing signal *RT2 in the figure due to jitters. In this case, a state where the decoding data #1 of the even-numbered register (2) have been selected by the decoding register selection circuit (5)

persists at the timing of said decoding timing signal *RT2, and therefore, said decoding data #1 become taken, once again, into the parallel-serial conversion circuit (6), as a result of which the data become redundantly decoded. In a case where the next decoding timing signal RT3 is hereby assumed to become returned to the original position, furthermore, the decoding data #2 of the odd-numbered register (3) cannot be taken into the parallel-serial conversion circuit (6), due to which the data become lost.

Thus, the device of the prior art is problematic in that the continuity of the clock interchanging data is likely to become compromised due to jitters in a case where the respective phases of input and output clocks are mutually contiguous.

The objective of the present invention, which has been conceived in acknowledgment of these problems, is to secure the continuity of clock interchanging data by preventing the losses or redundant decoding of clock interchanging data even under the pervasion of input and output clock jitters.

(Mechanism for solving the problems)

Figure 1 is a demonstrational diagram pertaining to the principle of the present invention.

The clock interchanging device of the present invention is constituted, as Figure (A) shows, to possess the serial-parallel converter (21), which executes the serial-parallel conversion of serial input data in compliance with a first clock, the multiple memory units [(22)-<1> ~ (22)-<n>], into which output data of said serial-parallel converter (21) are scheduled to be inputted, the

encoding memory unit selector (23), which selects, as an encoding memory unit, one of said multiple memory units [(22)-<1> ~ (22)-<n>] and then encodes the output data of said serial-parallel converter (21) into the same, the decoding memory unit selector (24), which selects, as a decoding memory unit, one of said multiple memory units [(22)-<1> ~ (22)-<n>], the parallel-serial converter (25), which takes in the output data of said decoding memory unit selector (24) and then executes the parallel-serial conversion of serial input data in compliance with a second clock, and the control unit (26), which detects the mutual phase contiguity of the selection switch timing of said decoding memory unit selector (24) and the data intake timing of said parallel-serial converter (25) and then executes a control routine in such a way that their respective phases will become mutually apart at the time of said detection.

The control unit (26) of the aforementioned clock interchanging device may, as Figure 1 (B) shows, be constituted by the decoding memory unit selection signal generator (27), which generates multiple decoding memory unit selection signals of mutually different phases that determine the selection switch timings of said decoding memory unit selector (24), the phase detector (28), which detects the mutual phase contiguity of the selection switch timing of said decoding memory unit selector (24) and the data intake timing of said parallel-serial converter (25), and the decoding memory unit selection signal selector (29), which selects a decoding memory unit selection signal endowed with a

concomitantly generated phase that entails, upon the detection of the mutual contiguity of the respective phases, the decontiguation of said phases and then feeds the selected signal into said decoding memory unit selector (24).

The phase detector (28) of the aforementioned control unit may, furthermore, be constituted by an initial flag circuit which becomes set by the initial decoding timing signal that determines the intake timing of said parallel-serial converter and then prohibits the transmission of the subsequently inputted decoding timing signal, a forward flag circuit which compares [the phase of] the decoding timing signal fed via said initial flag circuit with the phase of said decoding memory unit selection signal and which becomes set at the time of the detection of their mutual phase contiguity under the pervasion of forward phases, and a backward flag circuit which compares [the phase of] the decoding timing signal fed via said initial flag circuit with the phase of said decoding memory unit selection signal and which becomes set at the time of the detection of their mutual phase contiguity under the pervasion of backward phases.

(Functions)

In a case where the respective phases of the selection switch timing of the decoding memory unit selector (24) and the selection switch timing of the parallel-serial converter (25) become mutually contiguous, the continuity of the clock interchanging data becomes compromised due to the losses or redundant decoding

of said data, and therefore, the control unit (26) is designed to detect said phase contiguity and to shift the respective phases of the aforementioned selection switch timing and data intake timing apart from one another at the time of the detection of the phase contiguity.

Such a decontiguation mechanism may, for example, be realized by generating multiple decoding memory unit selection signals endowed with mutually different phases from the decoding memory unit selection signal generator (27), by designating the decoding memory unit selection /5
signal selector (29) to select, upon the detection of the contiguity of the respective phases of the aforementioned selection switch timing and data intake timing by the phase detector (28), a decoding memory unit selection signal which entails the decontiguation of the respective phases of the selection switch timing and data intake timing from among the aforementioned multiple decoding memory unit selection signals, and by feeding the selected signal into the decoding memory unit selector (24).

Moreover, the aforementioned phase detector may, for example, be realized by designating the backward flag circuit and forward flag circuit to decode the decoding timing and then compare it with the decoding memory unit selection signal, by thus detecting the phase contiguity under the pervasion of forward phases or backward phases, and by decoding the respective outputs of said forward flag circuit and backward flag circuit and designating the

same as selection signals for the decoding memory unit selection signal device [sic].

(Application examples)

In the following, application examples of the present invention will be explained with reference to figures.

Figure 2 shows the clock interchanging device of an application example of the present invention. In Figure 2, circuit elements to which reference Nos. identical to those in Figure 5 are assigned are endowed with identical functions. In other words, the serial-parallel conversion circuit (1), the even-numbered register (2), the odd-numbered register (3), the encoding register selection circuit (4), the decoding register selection circuit (5), and the parallel-serial conversion circuit (6) are characterized by respectively identical constitutions.

A difference lies in the fact that the clock interchanging device of this application example is additionally equipped with the register selection timing control circuit (10). This control circuit (10) is constituted to include the decoding register selection signal generation circuit (7), the phase detection circuit (8), and the selector (9).

The decoding register selection signal generation circuit (7) is constituted by a shift register, and the permutation output *Q of the flip-flop (41) of the encoding register selection circuit (4) (namely the decoding register selection signal RRS used for the device of the prior art) is inputted into it as data.

Moreover, the decoding clock CLK <r> is inputted into it as a clock. Three output signals LEAD, NORM, and LAG with mutually different phases are outputted, as decoding register selection signals, from its output terminals Q_A, Q_B, and Q_C, respectively. In the above, LEAD, NORM, and LAG signify a forward phase output signal, a normal phase output signal, and a backward phase output signal, respectively. The phase differentials among these output signals are determined in consideration of the jitter magnitudes of the input and output clocks.

The selector (9) is constituted to include the JK flip-flop (81), the D flip-flops (82) and (83), the AND circuit (84), and the mutually exclusive OR circuits (85) and (86). The flip-flop (81), the flip-flop (82), and the flip-flop (83) are used respectively for an initial flag, a forward flag, and a backward flag. The flip-flop (81) for the initial flag inputs the decoding timing signal RT and its own permutation output *Q into the J input terminal via the AND circuit (84), whereas its K input terminal is grounded. The output signals NORM and LAG, furthermore, are inputted, as data, into the flip-flop (82) for the forward flag via the mutually exclusive OR circuit (85), whereas the output signal of the AND circuit (84) is inputted into the enable terminal (EN). The output signals LEAD and NORM, furthermore, are inputted, as data, into the flip-flop (83) for the backward flag via the mutually exclusive OR circuit (86), whereas the output signal of the AND circuit (84) is inputted into

the enable terminal (EN). The decoding clock CLK <r> is used as the clock input of each of the flip-flops (81) ~ (83).

Said phase detection circuit (8) is a circuit which detects whether or not the phase of the decoding timing signal RT is contiguous to the phase of the standard phase output signal NORM of the decoding register selection signal generation circuit (7), and in a case where their contiguity in the forward phase is ascertained, the flip-flop (82) for the forward flag is set, whereas in a case where their contiguity in the backward phase is ascertained, the flip-flop (83) for the backward flag is set, whereas in a case where their non-contiguity is ascertained, neither the flip-flop (82) nor (83) is set. The respective output signals Q of said flip-flops (82) and (83), furthermore, are fed, as selection signals, into the selector (9) orchestrated at the subsequent step.

Three output signals, namely LEAD, NORM, and LAG, of the decoding register selection signal generation circuit (7) are inputted into the selector (9), whereas one of them is designed to be selected in accordance with the selection signal obtained from the phase detection circuit (8) and /6
then fed, as the decoding register selection signal RRS, into the decoding register selection circuit (5).

In the following, the actions of the device of this application example will be explained with reference to Figures 3 and 4. Figure 3 hereby represents a time chart provided for explaining the actions of the register selection timing control

circuit (10) of a case where the respective forward phases of the decoding timing signal RT and the standard phase output signal NORM are mutually contiguous, whereas Figure 4 represents a time chart provided for explaining the actions of the register selection timing control circuit (10) of a case where the respective backward phases of the decoding timing signal RT and the standard phase output signal NORM are mutually contiguous, whereas in Figures 3 and 4, the notations denote the following: (a): Encoding timing signal WT; (b): Retention data of the even-numbered register (2); (c): Retention data of the odd-numbered register (3); (d): Forward phase output signal LEAD; (e): Standard phase output signal NORM; (f): Backward phase output signal LAG; (g): Decoding timing signal RT; (h): Decoding register selection signal RRS.

First, in a case where the output Q of the flip-flop (81) for the initial flag coincides with the logic "0" (i.e., case where the permutation output *Q is "1") at a stage where the electric power source of the device has become turned ON, the decoding timing signal RT becomes inputted, via the AND circuit (84), into the J terminal of the flip-flop (81) for the initial flag, as a result of which the flip-flop (81) for the initial flag becomes set at "1." As a result, the permutation output *Q of the same becomes "0," and the subsequently inputted decoding timing signal RT becomes blocked by the AND circuit (84). The phase detection of this phase detection circuit (8) is therefore based solely on the initial decoding timing signal RT.

A case where this decoding timing signal RT is contiguous to the standard phase output signal NORM within a range of the jitter magnitude under the pervasion of a forward phase will be explained with reference to Figure 3. In this case, the decoding timing signal RT abides between the forward phase output signal LEAD and the standard phase output signal NORM, and therefore, "1" prevails as the output signal of the mutually exclusive OR circuit (85), due to which the flip-flop (82) for the forward flag becomes set at "1," whereas "0" prevails as the output signal of the mutually exclusive OR circuit (86), and the flip-flop (83) for the backward flag remains unset. The selector (9) selects the backward phase output signal LAG in relation to the respective output states of the flip-flops (82) and (83) and then feeds it, as the decoding register selection signal RRS, into the decoding register selection circuit (5). As a result, the switch timing of the decoding register selection circuit (5) becomes designated along a direction away from the phase of the decoding timing signal RT, and therefore, no action errors are incurred even if some jitters are present in the encoding and/or decoding timing signals.

Next, a case where this decoding timing signal RT is contiguous to the standard phase output signal NORM within a range of the jitter magnitude under the pervasion of a backward phase will be explained with reference to Figure 4. In this case, the decoding timing signal RT abides between the standard phase output signal NORM and the backward phase output signal LAG, due to which "1" prevails as the output signal of the mutually exclusive OR

circuit (86), and the flip-flop (83) for the backward flag becomes set at "1," whereas "0" prevails as the output signal of the mutually exclusive OR circuit (85), whereas the flip-flop (82) for the forward flag remains unset. The selector (9) selects the forward phase output signal LEAD in relation to the respective output states of the flip-flops (82) and (83) and then feeds it, as a decoding register selection signal, into the decoding register selection circuit (5). As a result, the switch timing of the decoding register selection circuit (5) becomes designated along a direction away from the phase of the decoding timing signal RT.

Incidentally, in a case where the decoding timing signal RT is sufficiently away from the standard phase output signal NORM, the respective output signals of the mutually exclusive OR circuits (85) and (86) both become "0," and therefore, the selector (9) selects the standard phase output signal NORM in relation to the respective output states of the flip-flops (82) and (83).

Thus, as far as the device of the aforementioned application example is concerned, a constant time differential is perpetually secured between the decoding timing signal and the decoding register selection signal, based on which relative jitters between the decoding clock and encoding clock can be absorbed.

Various modified embodiments are conceivable in the context of implementing the present invention. In the aforementioned application example, for example, two registers are orchestrated

for taking in output data from the serial-parallel converter, although the present invention is not /7 limited to such an embodiment, and a larger number may be designated; in a case where the number is designated at three, for example, data decoding skips and redundant decoding of the serial-parallel converter can assuredly be prevented.

As far as the aforementioned application example is concerned, furthermore, the selection switch timing of the decoding register selection circuit (5) is designed to be changed by the decoding register selection timing control circuit (10) in a case where the respective phases of the selection switch timing of the decoding register selection circuit (5) and the data intake timing of the parallel-serial conversion circuit (6) are mutually contiguous, although the present invention is not limited to such an embodiment, and it is also possible to change the phase of the data intake timing of the parallel-serial conversion circuit (6) [i.e., decoding timing signal RT].

As far as the aforementioned application example is concerned, furthermore, the decoding register selection signal generation circuit (7) is designed to generate three decoding register selection signals with mutually different phases based on the output signal of the flip-flop (41) of the encoding register selection circuit (accordingly signals synchronized with the encoding timing signal WR), although such an embodiment is not binding, and it is also conceivable for these decoding register

selection signals to be generated independently of the encoding timing signal WT.

As far as the aforementioned application example is concerned, furthermore, the phase contiguity is detected by the phase detection circuit (8) based solely on the decoding timing signal RT initially inputted at a stage where the electric power source has become turned ON, but it goes without saying that such an embodiment is not binding, and it is also possible to monitor the phase contiguity whenever necessary or even long after the electric power source has become turned ON by periodically resetting the flip-flop for the initial flag.

(Effects of the invention)

As the foregoing explanations have demonstrated, as far as the present invention is concerned, the continuity of clock interchanging data can be secured by preventing the losses or redundant decoding of clock interchanging data even under the pervasion of input and output clock jitters.

4. Brief explanation of the figures

Figure 1 is a demonstrational diagram pertaining to the principle of the present invention, whereas

Figure 2 is a block diagram which shows the clock interchanging device of an application example of the present invention, whereas

Figures 3 and 4 are time charts provided for explaining the actions of the device of [another] application example, whereas

Figure 5 is a block diagram which shows an example of clock interchanging devices of the prior art, whereas

Figure 6 is a time chart provided for explaining the actions of the device of the prior art.

In the figures, the notations denote the following:

(1): Serial-parallel conversion circuit;

(2): Even-numbered register;

(3): Odd-numbered register;

(4): Encoding register selection circuit;

(5): Decoding register selection circuit;

(6): Parallel-serial conversion circuit;

(7): Decoding register selection signal generation circuit;

(8): Phase detection circuit;

(9): Selector;

(10): Register selection timing control circuit;

(41) and (81): JK flip-flops;

(42), (43), (84), and (92) ~ (95): AND circuits;

(82) and (83): D flip-flops;

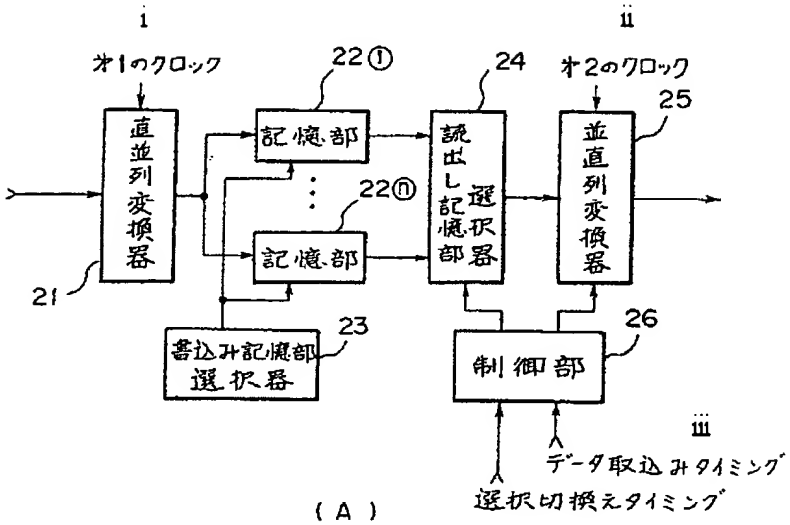
(85) and (86): Mutually exclusive OR circuits.

Patent Applicant: Fujitsu, Ltd.

Applicant's agent: Takao Kobayashi, patent attorney

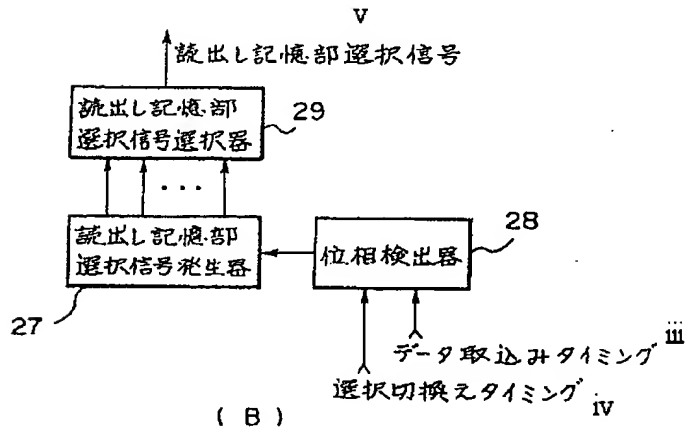
Figure 1

(A)



(A)

(B)



(B)

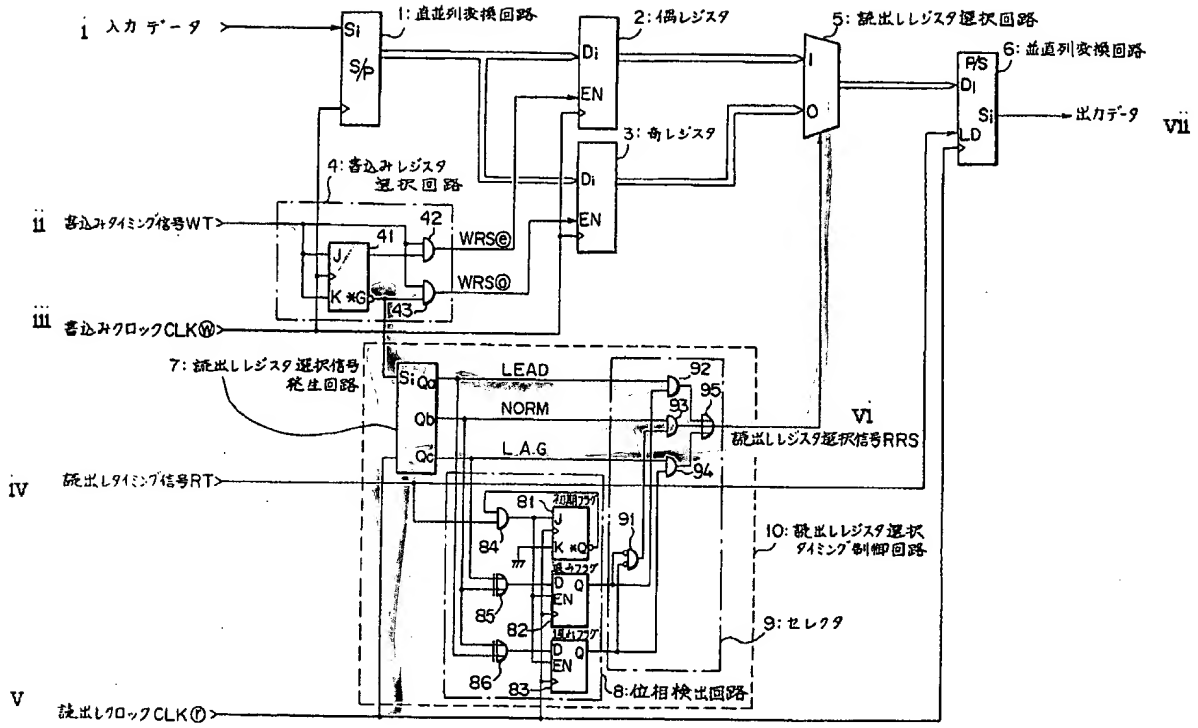
0 本発明に係る原理説明図

第 1 図

[(0): Demonstrational diagram pertaining to the principle of the present invention; (i): First clock; (ii): Second clock; (iii): Data intake timing; (iv): Selection switch timing; (v): Decoding memory unit selection signal; (21): Serial-parallel converter; (22)-<1> and (22)-<n>: Memory units; (23): Encoding memory unit selector; (24): Decoding memory unit selector; (25): Parallel-serial converter; (26): Control unit; (27): Decoding memory unit selection signal generator; (28): Phase detector; (29): Decoding memory unit selection signal selector]

Figure 2

/9

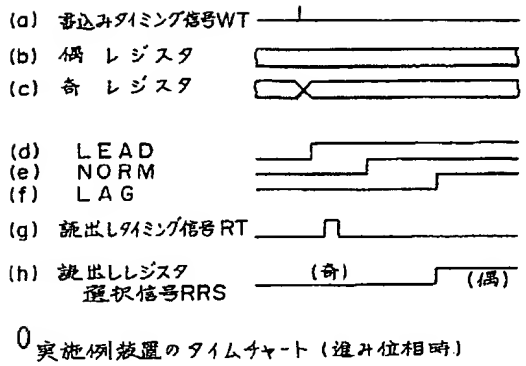


本発明の実施例

第２図

[(0): Application example of the present invention; (i): Input data; (ii): Encoding timing signal WT; (iii): Encoding clock CLK <w>; (iv): Decoding timing signal RT; (v): Decoding clock CLK <r>; (vi): Decoding register selection signal RRS; (vii): Output data; (1): Serial-parallel conversion circuit; (2): Even-numbered register; (3): Odd-numbered register; (4): Encoding register selection circuit; (5): Decoding register selection circuit; (6): Parallel-serial conversion circuit; (7): Decoding register selection signal generation circuit; (8): Phase detection circuit; (9): Selector; (10): Register selection timing control circuit]

Figure 3

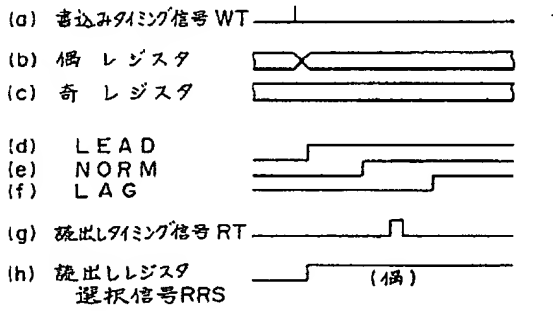


0 実施例装置のタイムチャート（進み位相時）

第３図

[(0): Time chart for the device of the application example (under the pervasion of forward phases); (a): Encoding timing signal WT; (b): Even-numbered register; (c): Odd-numbered register; (g): Decoding timing signal RT; (h): Decoding register selection signal RRS; (i): Odd-numbered; (j): Even-numbered]

Figure 4



0 実施例装置のタイムチャート（遅れ位相時）

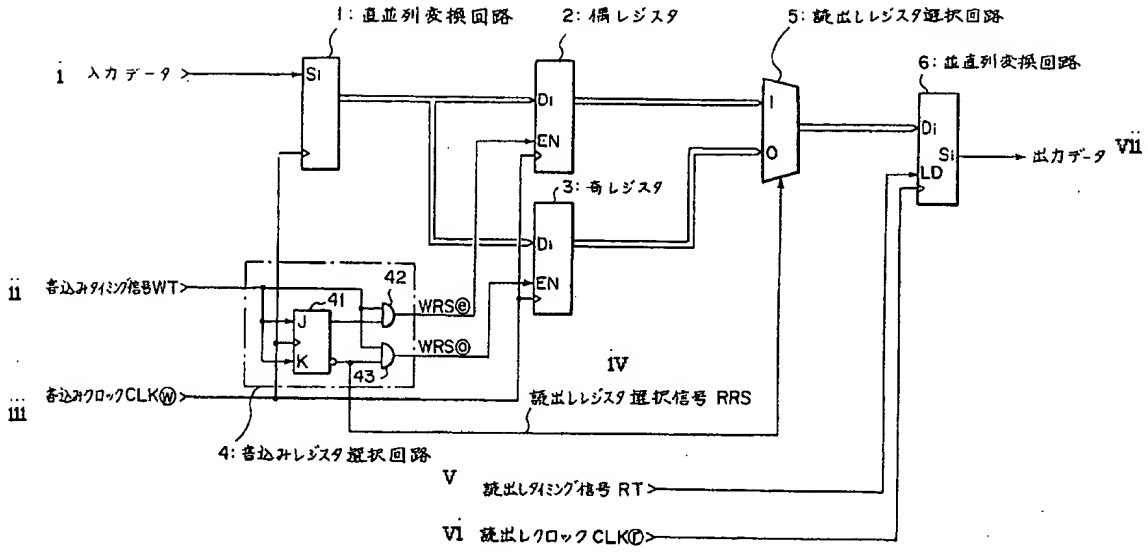
第４図

[(0): Time chart for the device of the application example (under the pervasion of backward phases); (a): Encoding timing signal WT; (b): Even-numbered register; (c): Odd-numbered register; (g):

Decoding timing signal RT; (h): Decoding register selection signal RRS; (i): Even-numbered]

Figure 5

/11

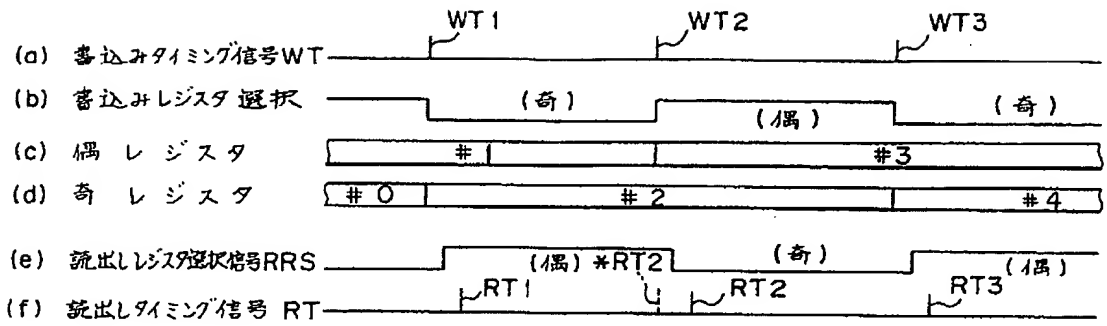


0 従 来 例

第 5 図

[(0): Example of the prior art; (i): Input data; (ii): Encoding timing signal WT; (iii): Encoding clock CLK <w>; (iv): Decoding register selection signal RRS; (v): Decoding timing signal RT; (vi): Decoding clock CLK <r>; (vii): Output data; (1): Serial-parallel conversion circuit; (2): Even-numbered register; (3): Odd-numbered register; (4): Encoding register selection circuit; (5): Decoding register selection circuit; (6): Parallel-serial conversion circuit]

Figure 6



0 従来例装置の タイムチャート

第 6 図

[(0): Time chart for the device of the prior art; (a): Encoding timing signal WT; (b): Encoding register selection; (c): Even-numbered register; (d): Odd-numbered register; (e): Decoding register selection signal RRS; (f): Decoding timing signal RT; (g): Odd-numbered; (h): Even-numbered]

⑲日本国特許庁（JP）　⑪特許出願公開

⑫公開特許公報（A）　平4－96535

⑤Int.Cl.[5]	識別記号	庁内整理番号
H 04 L 7/00	A	8949－5K
G 06 F 5/06	Z	8724－5B

⑬公開　平成4年(1992)3月27日

審査請求　未請求　請求項の数 3（全12頁）

⑭発明の名称　クロック乗換え装置

⑳特　願　平2－214674
㉒出　願　平2(1990)8月14日

⑫発明者　小関　純夫　宮城県仙台市一番町2丁目2番13号　富士通東北デイジタル・テクノロジ株式会社内
⑪出願人　富士通株式会社　神奈川県川崎市中原区上小田中1015番地
⑭代理人　弁理士　小林　隆夫

明　細　書

1 発明の名称

クロック乗換え装置

2 特許請求の範囲

1．直列入力データを第1のクロックで直並列変換する直並列変換器（21）と、

該直並列変換器（21）の出力データが入力される複数の記憶部（22①～22ⓝ）と、

該複数の記憶部（22①～22ⓝ）の一つを書込み記憶部として選択して該直並列変換器（21）からの出力データを書き込む書込み記憶部選択器（23）と、

該複数の記憶部（22①～22ⓝ）の一つを読出し記憶部として選択する読出し記憶部選択器（24）と、

該読出し記憶部選択器（24）の出力データを取り込んで第2のクロックで並直列変換する並直列変換器（25）と、

該読出し記憶部選択器（24）の選択切換えタイミングと該並直列変換器（25）のデータ取込みタイミングの位相接近を検出し、その検出時に該位相が離れるように制御を行う制御部（26）とを備えてなるクロック乗換え装置。

2．直列入力データを第1のクロックで直並列変換する直並列変換器（21）と、

該直並列変換器（21）の出力データが入力される複数の記憶部（22①～22ⓝ）と、

該複数の記憶部（22①～22ⓝ）の一つを書込み記憶部として選択して該直並列変換器（21）からの出力データを書き込む書込み記憶部選択器（23）と、

該複数の記憶部（22①～22ⓝ）の一つを読出し記憶部として選択する読出し記憶部選択器（24）と、

該読出し記憶部選択器（24）の出力データを取り込んで第2のクロックで並直列変換する並直列変換器（25）と、

該読出し記憶部選択器（24）の選択切換えタイミングを決めるそれぞれ異なる位相の複数の読

出し記憶部選択信号を発生する読出し記憶部選択信号発生器（２７）と、

該読出し記憶部選択器（２４）の選択切換えタイミングと該並直列変換器（２５）のデータ取込みタイミングの位相の接近を検出する位相検出器（２８）と、

該位相の接近が検出された時に該位相が離れるような発生位相を持った読出し記憶部選択信号を選択して該読出し記憶部選択器（２４）に与える読出し記憶部選択信号選択器（２９）とを備えてなるクロック乗換え装置。

３．該位相検出器（２８）は、該並直列変換器の取込みタイミングを決める最初の読出しタイミング信号によりセットされてそれに続き入力される読出しタイミング信号の通過を禁止する初期フラグ回路と、

該初期フラグ回路を介して供給される読出しタイミング信号を該読出し記憶部選択信号の位相と比較し進み位相での位相接近検出時にセットされる進みフラグ回路と、

該初期フラグ回路を介して供給される読出しタイミング信号を該読出し記憶部選択信号と比較し遅れ位相での位相接近検出時にセットされる遅れフラグ回路とを含み構成された請求項２記載のクロック乗換え装置。

３発明の詳細な説明

〔概要〕

データ伝送装置などで用いられるクロック乗換え装置に関し、

入出力クロックのジッタに対してもクロック乗換えデータの消失や二度読みが生じることを防止してクロック乗換えデータの連続性を確保することを目的とし、

直列入力データを第１のクロックで直並列変換する直並列変換器と、直並列変換器の出力データが入力される複数の記憶部と、これら複数の記憶部の一つを書込み記憶部として選択して直並列変換器からの出力データを書き込む書込み記憶部選択器と、上記複数の記憶部の一つを読出し記憶部

として選択する読出し記憶部選択器と、この読出し記憶部選択器の出力データを取り込んで第２のクロックで並直列変換する並直列変換器と、上記読出し記憶部選択器の選択切換えタイミングと並直列変換器のデータ取込みタイミングの位相接近を検出し、その検出時にその位相が離れるように制御を行う制御部とを備えてなる。

〔産業上の利用分野〕

本発明はデータ伝送装置などで用いられるクロック乗換え装置に関する。

クロック乗換え装置は、例えば伝送路上のデータをその伝送路の信号速度とは異なる信号速度の伝送路のデータへ変換する際に、一方の伝送路クロックから他方の伝送路クロックに乗り換える処理を行うものである。このクロック乗換えにあたっては、クロック乗換えデータの消失などによりその連続性が損われないことが必要とされる。

〔従来の技術〕

クロック乗換え装置の従来例が第５図に示される。第５図において、１はシフトレジスタからなる直並列変換回路であり、シリアル入力された入力データを、入力データに同期した書込みクロックＣＬＫⓌにより８ビットの並列データに変換して内部レジスタである偶レジスタ２および奇レジスタ３に与える。

４はレジスタ２、３のうち書込み側となるレジスタを選択する書込みレジスタ選択回路であり、ＪＫフリップフロップ４１、ＡＮＤ回路４２、４３で構成され、書込みタイミング信号ＷＴが入力されている。この書込みタイミング信号ＷＴは書込みクロックＣＬＫⓌが８ビットに一度の割合で発生される。この書込みレジスタ選択回路４は書込みタイミング信号ＷＴが入力される毎にフリップフロップ４１の出力状態が反転し、それによりＡＮＤ回路４２、４３が交互に開き、これらのＡＮＤ回路４２、４３を通して書込みタイミング信号ＷＴがそれぞれ書込みレジスタ選択信号ＷＲＳ

ⓔ、ＷＲＳⓞとして偶レジスタ２、奇レジスタ３に与えられるよう動作し、それにより偶レジスタ２、奇レジスタ３が交互に書込みイネーブル状態となるようにしている。

５はレジスタ２、３のうちの一方を読出し側のレジスタとして選択する読出しレジスタ選択回路であり、書込みレジスタ選択回路４内のフリップフロップ４１から出力される反転出力＊Ｑを読出しレジスタ選択信号ＲＲＳとしている。この読出しレジスタ選択信号ＲＲＳは書込みクロックＣＬＫⓌの８ビット毎に極性を反転して、読出しレジスタ選択回路５の入力選択を切り換える。

この読出しレジスタ選択回路５で選択された読出しデータは次にシフトレジスタからなる並直列変換回路６に入力される。この並直列変換回路６には読出しクロックＣＬＫⓡがクロック入力端子に、また読出しクロックＣＬＫⓡの８ビット毎に発生される読出しタイミング信号ＲＴがロード入力端子にそれぞれ入力されており、読出しタイミング信号ＲＴが入力されたタイミングで読出しレジスタ選択回路５からの読出しデータを取り込み、読出しクロックＣＬＫⓡによってその読出しデータを順次シリアルデータに変換して出力する。

この従来例装置の動作を第６図を参照して以下に説明する。ここで第６図は従来例装置の各部状態を説明するタイムチャートであり、（ａ）は書込みタイミング信号ＷＴ、（ｂ）は書込みレジスタの選択状態、（ｃ）は偶レジスタ２の保持データすなわち出力状態、（ｄ）は奇レジスタ３の保持データすなわち出力状態、（ｅ）は読出しレジスタ選択信号ＲＳ、（ｆ）は読出しタイミング信号ＲＴである。

シリアル入力された入力データは直並列変換回路１で８ビット並列データに変換されてレジスタ２、３にそれぞれ入力される。書込みレジスタ選択回路４は書込みタイミング信号ＷＴが入力される毎に、それを書込みレジスタ選択信号ＷＲＳⓔまたはＷＲＳⓞとしてそれぞれ偶レジスタ２または奇レジスタ３に与えており、それにより第６図

（ｂ）に示されるようにレジスタ２、３が交互に書込み側レジスタとなる。したがって直並列変換回路１で順次に直並列変換される並列データ＃０、＃１、＃２、＃３、＃４…は、第６図（ｃ）と（ｄ）に示されるように、書込みタイミング信号ＷＴのタイミングで偶レジスタ２、奇レジスタ３に交互に取り込まれる。

これらレジスタ２、３の保持データは読出しレジスタ選択回路５により交互にその一方が選択されて並直列変換回路６に送られる。読出しレジスタ選択回路５へ与えられる読出しレジスタ選択信号ＲＲＳは、第６図（ｅ）に示されるように、偶レジスタ２と奇レジスタ３を交互に読出し側レジスタとして選択するように切り換えられるので、並直列変換回路６に与えられる読出しデータは並列データ＃０、＃１、＃２、＃３…のように順番が保存されたものとなる。この読出しレジスタ選択信号ＲＲＳはフリップフロップ４１の反転出力＊Ｑであるため書込みタイミング信号ＷＴに同期したものとなる。

並直列変換回路６では読出しレジスタ選択回路５から順次に送られてくる並列データ＃０、＃１、＃２、＃３、＃４…を読出しタイミング信号ＲＴのタイミングで取り込み、これを読出しクロックＣＬＫⓡの速度で並直列変換してシリアル出力データとして送出する。

【発明が解決しようとする課題】

上述の従来のクロック乗換え装置では、入出力クロックの位相が近接している時には、その入出力クロックのジッタ（揺らぎ）に起因して読出し側のレジスタ選択が不定となり、データの二度読みや消失が生じる可能性がある。

例えば第６図において、読出しタイミング信号ＲＴ１のタイミングでは読出しレジスタ選択回路５は偶レジスタ２の読出しデータ＃１を選択しており、したがってこの読出しデータ＃１が並直列変換回路６に取り込まれる。次の読出しタイミング信号ＲＴ２のタイミングでは読出しレジスタ選択回路５は奇レジスタ３の読出しデータ＃２を選

択しているので、次にはこの読出しデータ＃２が並直列変換回路６に取り込まれる。

ところが、この読出しタイミング信号ＲＴ２がジッタにより例えば図中の読出しタイミング信号＊ＲＴ２の位置に揺らいだものとする。この場合、この読出しタイミング信号＊ＲＴ２のタイミングでは読出しレジスタ選択回路５はまだ偶レジスタ２の読出しデータ＃１を選択している状態なので、並直列変換回路６にはこの読出しデータ＃１が再び取り込まれることになり、よってデータの二度読みが生じる。またこの場合、更に次の読出しタイミング信号ＲＴ３が元の位置に戻ったとしたら、奇レジスタ３の読出しデータ＃２は並列直列変換回路６に取り込まれないことになるので、データの消失が生じる。

このように従来装置は入出力クロックの位相接近時にはそのジッタによりクロック乗換えデータの連続性が損われる可能性があるという問題点がある。

本発明はこのような問題点に鑑みてなされたものであり、その目的とするところは、入出力クロックのジッタに対してもクロック乗換えデータの消失あるいは二度読みが生じることを防止してクロック乗換えデータの連続性を確保することにある。

〔課題を解決するための手段〕

第１図は本発明に係る原理説明図である。

本発明に係るクロック乗換え装置は、第１図（Ａ）に示されるように、直列入力データを第１のクロックで直並列変換する直並列変換器２１と、直並列変換器２１の出力データが入力される複数の記憶部（２２①～２２ⓝ）と、複数の記憶部（２２①～２２ⓝ）の一つを書込み記憶部として選択して直並列変換器２１からの出力データを書き込む書込み記憶部選択器２３と、複数の記憶部の一つを読出し記憶部として選択する読出し記憶部選択器２４と、読出し記憶部選択器２４の出力データを取り込んで第２のクロックで並直列変換する並直列変換器２５と、読出し記憶部選択器

２４の選択切換えタイミングと並直列変換器２５のデータ取込みタイミングの位相接近を検出し、その検出時にその位相が離れるように制御を行う制御部２６とを備えてなる。

上記クロック乗換え装置における制御部２６は、第１図（Ｂ）に示されるように、読出し記憶部選択器２４の選択切換えタイミングを決めるそれぞれ異なる位相の複数の読出し記憶部選択信号を発生する読出し記憶部選択信号発生器２７と、読出し記憶部選択器２４の選択切換えタイミングと並直列変換器２５のデータ取込みタイミングの位相の接近を検出する位相検出器２８と、位相の接近が検出された時にその位相が離れるような発生位相を持った読出し記憶部選択信号を選択して読出し記憶部選択器２４に与える読出し記憶部選択信号選択器２９とで構成することができる。

また上記制御部における位相検出器２８は、並直列変換器の取込みタイミングを決める読出しタイミング信号によりセットされてそれに続き入力される読出しタイミング信号の通過を禁止する初期フラグ回路と、この初期フラグ回路を介して供給される読出しタイミング信号を読出し記憶部選択信号の位相と比較し進み位相での位相接近検出時にセットされる進みフラグ回路と、初期フラグ回路を介して供給される読出しタイミング信号を読出し記憶部選択信号と比較し遅れ位相での位相接近検出時にセットされる遅れフラグ回路とで構成することができる。

〔作用〕

読出し記憶部選択器２４の選択切換えタイミングと並直列変換器２５のデータ取込みタイミングの位相が接近すると、クロック乗換えデータの消失や二度読みが生じ、その連続性が損われるので、制御部２６によりこの位相接近を検出し、位相接近検出時には上記選択切換えタイミングとデータ取込みタイミングの相対位相を引き離すように制御を行う。

この引き離し手段は、例えば読出し記憶部選択信号発生器２７でそれぞれ異なる位相を持った複

数の読出し記憶部選択信号を発生しておき、位相検出器２８で上記選択切換えタイミングとデータ取込みタイミングの位相接近が検出された時に、読出し記憶部選択信号器２９により上記複数の読出し記憶部選択信号のなかから、選択切換えタイミングとデータ取込みタイミングの位相が離れるような発生位相をもった読出し記憶部選択信号を選択し、これを読出し記憶部選択器２４に与えることで実現できる。

また上記位相検出器は、例えば遅れフラグ回路および進みフラグ回路で読出しタイミングを読出し記憶部選択信号と比較し、それにより進み位相または遅れ位相での位相接近を検出し、これら進みフラグ回路および遅れフラグ回路の出力を読出し記憶部選択信号器の選択信号とすることで実現できる。

〔実施例〕

以下、図面を参照しつつ本発明の実施例を説明する。

第２図には本発明の一実施例としてのクロック乗換え装置が示される。第２図において、第５図と同じ参照番号が付されたものは同一機能をもった回路要素である。すなわち、直並列変換回路１、偶レジスタ２、奇レジスタ３、書込みレジスタ選択回路４、読出しレジスタ選択回路５、並直列変換回路６は同じ構成となっている。

相違点として、実施例のクロック乗換え装置は読出しレジスタ選択タイミング制御回路１０を新たに備えていることである。この制御回路１０は読出しレジスタ選択信号発生回路７、位相検出回路８、セレクタ９を含み構成される。

読出しレジスタ選択信号発生回路７はシフトレジスタで構成されており、書込みレジスタ選択回路４のフリップフロップ４１の反転出力＊Ｑ（すなわち従来例装置では読出しレジスタ選択信号ＲＲＳとして用いられていたもの）がデータ入力され、また読出しクロックＣＬＫⓇがクロック入力されている。その出力端子Ｑ$_A$、Ｑ$_B$、Ｑ$_C$からは位相がそれぞれ異なる３つの出力信号ＬＥＡ

Ｄ、ＮＯＲＭ、ＬＡＧが読出しレジスタ選択信号として出力される。ここでＬＥＡＤは進み位相出力信号、ＮＯＲＭは基準位相出力信号、ＬＡＧは遅れ位相出力信号である。これら出力信号ＬＥＡＤ、ＮＯＲＭ、ＬＡＧの位相差は入出力クロックのジッタ分を考慮して決められる。

位相検出回路９はＪＫフリップフロップ８１、Ｄフリップフロップ８２、８３、ＡＮＤ回路８４、排他的ＯＲ回路８５、８６を含み構成されており、フリップフロップ８１は初期フラグ用、フリップフロップ８２は進みフラグ用、フリップフロップ８３は遅れフラグ用のものである。初期フラグ用フリップフロップ８１は読出しタイミング信号ＲＴと自身の反転出力＊ＱがＡＮＤ回路８４を介してＪ入力端子に入力され、Ｋ入力端子は接地されている。また進みフラグ用フリップフロップ８２は出力信号ＮＯＲＭとＬＡＧが排他的ＯＲ回路８５を介してデータ入力され、ＡＮＤ回路８４の出力信号がイネーブル端子ＥＮに入力される。さらに遅れフラグ用フリップフロップ８３は

出力信号ＬＥＡＤとＮＯＲＭが排他的ＯＲ回路８６を介してデータ入力され、ＡＮＤ回路８４の出力信号がイネーブル端子ＥＮに入力される。各フリップフロップ８１～８３のクロック入力としては読出しクロックＣＬＫⓇが使われる。

この位相検出回路８は読出しタイミング信号ＲＴの位相が読出しレジスタ選択信号発生回路７の基準位相出力信号ＮＯＲＭの位相に接近しているか否かを検出する回路であり、進み位相で接近している場合には進みフラグ用フリップフロップ８２がセットされ、遅れ位相で接近している場合には遅れフラグ用フリップフロップ８３がセットされ、接近していない場合にはフリップフロップ８２、８３は共にセットされないようになっている。そしてこのフリップフロップ８２、８３の出力信号Ｑが後段のセレクタ９に選択信号として与えられる。

セレクタ９には読出しレジスタ選択信号発生回路７の３つの出力信号ＬＥＡＤ、ＮＯＲＭ、ＬＡＧが入力されており、これらのうちの一つを位相

検出回路８からの選択信号に応じて選択して読出しレジスタ選択信号ＲＲＳとして読出しレジスタ選択回路５に与えるようになっている。

この実施例装置の動作を第３図および第４図を参照しつつ以下に説明する。ここで第３図は読出しタイミング信号ＲＴが基準位相出力信号ＮＯＲＭに進み位相で接近している場合の制御回路１０の動作を説明するためのタイムチャート、第４図は読出しタイミング信号ＲＴが基準位相出力信号ＮＯＲＭに遅れ位相で接近している場合の制御回路１０の動作を説明するためのタイムチャートであり、第３図および第４図中の（ａ）は書込みタイミング信号ＷＴ、（ｂ）は偶レジスタ２の保持データ、（ｃ）は奇レジスタ３の保持データ、（ｄ）は進み位相出力信号ＬＥＡＤ、（ｅ）は基準位相出力信号ＮＯＲＭ、（ｆ）は遅れ位相出力信号ＬＡＧ、（ｇ）は読出しタイミング信号ＲＴ、（ｈ）は読出しレジスタ選択信号ＲＲＳである。

まず、装置に電源投入時、初期フラグ用フリップフロップ８１の出力Ｑが論理“０”（すなわち反転出力＊Ｑが“１”）であると、読出しタイミング信号ＲＴがＡＮＤ回路８４を介して初期用フリップフロップ８１のＪ端子に入力され、それにより初期フラグ用フリップフロップ８１を“１”にセットする。この結果、その反転出力＊Ｑは“０”となり、以降に入力した読出しタイミング信号ＲＴはＡＮＤ回路８４で遮断される。したがってこの位相検出回路８は初めの読出しタイミング信号ＲＴによってだけ位相検出を行うことになる。

この読出しタイミング信号ＲＴが基準位相出力信号ＮＯＲＭに対して進み位相でジッタ分の範囲内に近接している場合について第３図を参照して説明する。この場合、読出しタイミング信号ＲＴは進み位相出力信号ＬＥＡＤと基準位相出力信号ＮＯＲＭの間にあるから、排他的ＯＲ回路８５の出力信号は“１”となり、したがって進みフラグ用フリップフロップ８２が“１”にセットされ、一方、排他的ＯＲ回路８６の出力信号は“０”と

なり、遅れフラグ用フリップフロップ８３はセットされない。このフリップフロップ８２、８３の出力状態に対してセレクタ９は遅れ位相出力信号ＬＡＧを選択してこれを読出しレジスタ選択回路５に読出しレジスタ選択信号ＲＲＳとして与える。この結果、読出しレジスタ選択回路５の切換えタイミングは読出しタイミング信号ＲＴの位相から離れる方向に設定され、したがって書込み／読出しタイミング信号に多少のジッタがあっても誤動作は生じない。

次に読出しタイミング信号ＲＴが基準位相出力信号ＮＯＲＭに対して遅れ位相でジッタ分の範囲内に近接している場合について第４図を参照して説明する。この場合、読出しタイミング信号ＲＴは基準位相出力信号ＮＯＲＭと遅れ位相出力信号ＬＡＧの間にあるから、排他的ＯＲ回路８６の出力信号は“１”となり、したがって遅れフラグ用フリップフロップ８３が“１”にセットされ、一方、排他的ＯＲ回路８５の出力信号は“０”となり、進みフラグ用フリップフロップ８２はセットされない。このフリップフロップ８２、８３の出力状態に対してセレクタ９は進み位相出力信号ＬＥＡＤを選択してこれを読出しレジスタ選択回路５に読出しレジスタ選択信号として与える。この結果、読出しレジスタ選択回路５の切換えタイミングは読出しタイミング信号ＲＴの位相から離れる方向に設定される。

なお、読出しタイミング信号ＲＴが基準位相出力信号ＮＯＲＭに対して十分に離れている場合には、排他的ＯＲ回路８５、８６の出力信号は共に“０”となり、したがってフリップフロップ８２、８３の出力状態に対してセレクタ９は基準位相出力信号ＮＯＲＭを選択する。

このように、上述の実施例装置では、読出しタイミング信号と読出しレジスタ選択信号が常に一定の時間差を持つことになり、読出しクロックと書込みクロックの相対的なジッタを吸収することができる。

本発明の実施にあたっては種々の変形形態が可能である。例えば上述の実施例では直並列変換器

からの出力データを取り込むレジスタを二つとしたが、本発明はこれに限られるものではなく、それ以上の数とすることができ、例えば三つとした場合には直並列変換器からのデータの読み飛ばしや二度読みなどを確実に防止できるようになる。

また上述の実施例では読出しレジスタ選択回路５の選択切換えタイミングと並直列変換回路６のデータ取込みタイミングの位相接近時には読出しレジスタ選択タイミング制御回路１０により読出しレジスタ選択回路５の選択切換えタイミングを変えるようにしたが、本発明はこれに限られるものではなく、並直列変換回路６のデータ取込みタイミング（すなわち読出しタイミング信号ＲＴ）の位相を変えるように構成するものであってもよい。

また上述の実施例では読出しレジスタ選択信号発生回路７は書込みレジスタ選択回路のフリップフロップ４１からの出力信号（したがって書込みタイミング信号ＷＲに同期した信号）に基づいて

それぞれ位相の異なる三つの読出しレジスタ選択信号を発生しているが、これに限らず、これら読出しレジスタ選択信号は書込みタイミング信号ＷＴとは独立に発生することも可能である。

さらに上述の実施例では、位相検出器８は電源投入時における最初に入力された読出しタイミング信号ＲＴだけによって位相接近を検出しているが、もちろんこれに限られるものではなく、例えば必要な時あるいは定期的に初期フラグ用フリップフロップをリセットすることで、位相接近の監視を電源投入後も行うことができる。

〔発明の効果〕

以上に説明したように、本発明によれば、入出力クロックのジッタに対してもデータの消失あるいは二度読みが生じることを防止してデータの連続性を確保することができる。

４図面の簡単な説明

第１図は本発明に係る原理説明図、

第２図は本発明の一実施例としてのクロック乗換え装置を示すブロック図、

第３図、第４図は実施例装置の動作を説明するためのタイムチャート、

第５図はクロック乗換え装置の従来例を示すブロック図、および、

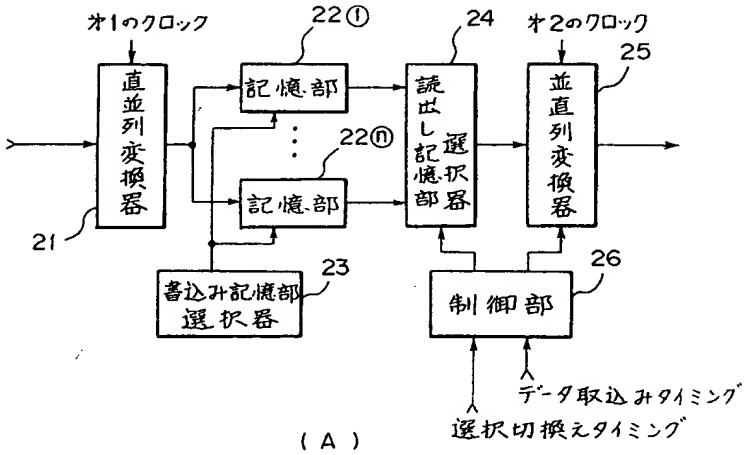
第６図は従来例装置の動作を説明するためのタイムチャートである。

図において、

１…直並列変換回路
２…偶レジスタ
３…奇レジスタ
４…書込みレジスタ選択回路
５…読出しレジスタ選択回路
６…並直列変換回路
７…読出しレジスタ選択信号発生回路
８…位相検出回路
９…セレクタ
１０…読出しレジスタ選択タイミング制御回路
４１、８１…ＪＫフリップフロップ

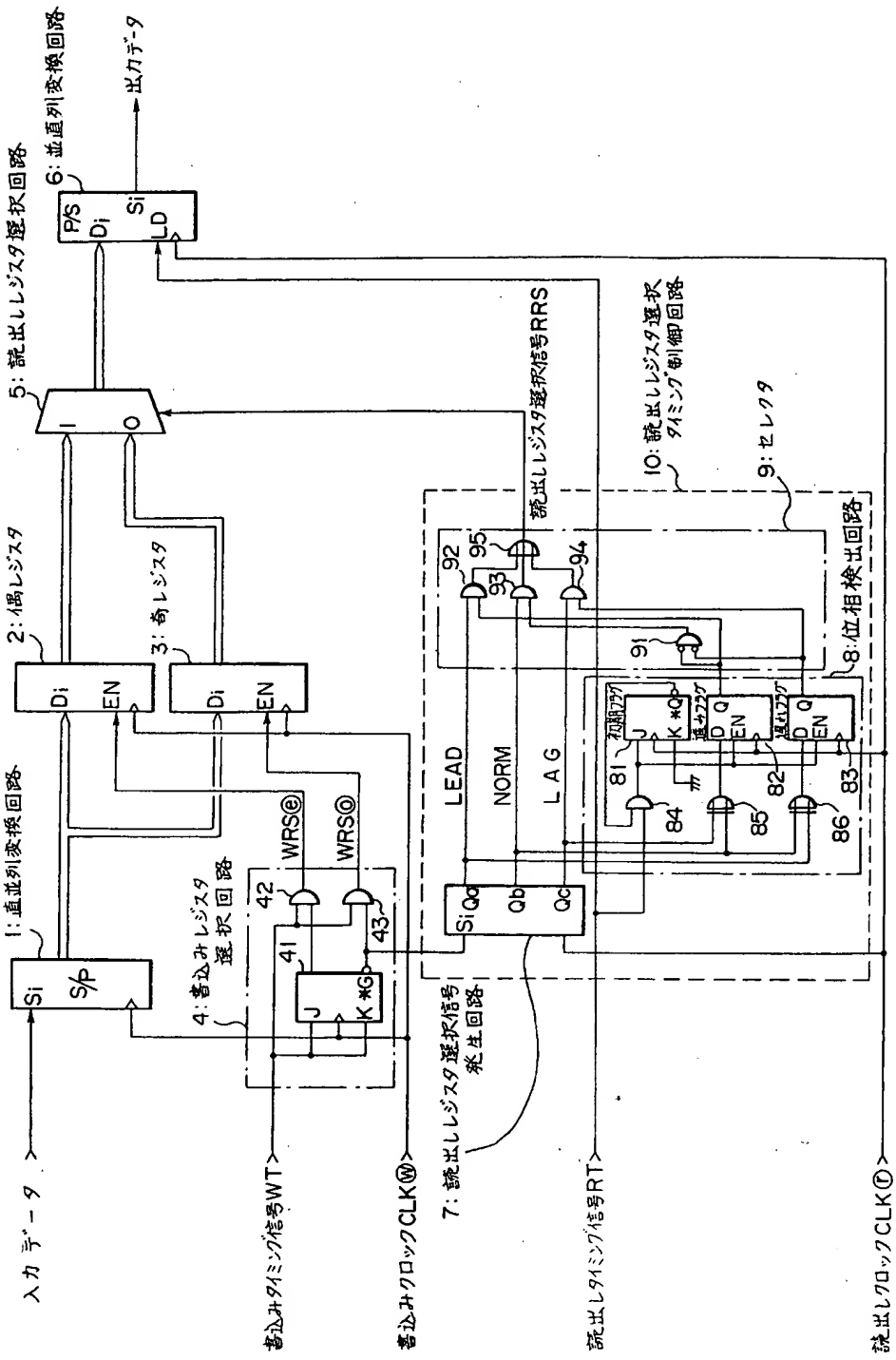
４２、４３、８４、９２～９５…ＡＮＤ回路
８２、８３…Ｄフリップフロップ
８５、８６…排他的ＯＲ回路

特許出願人　富士通株式会社
出願代理人　弁理士　小林　隆夫



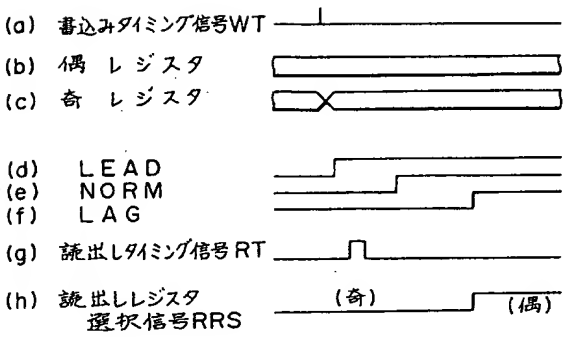
本発明に係る原理説明図

第 1 図



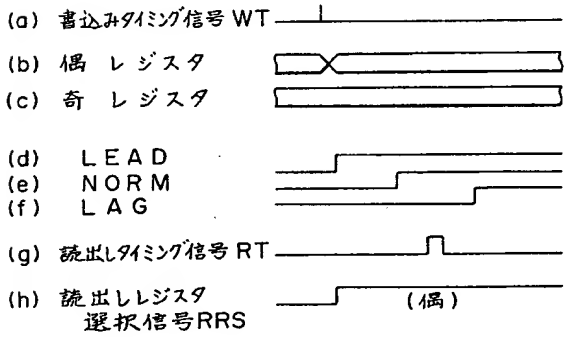
第２図

本発明の実施例



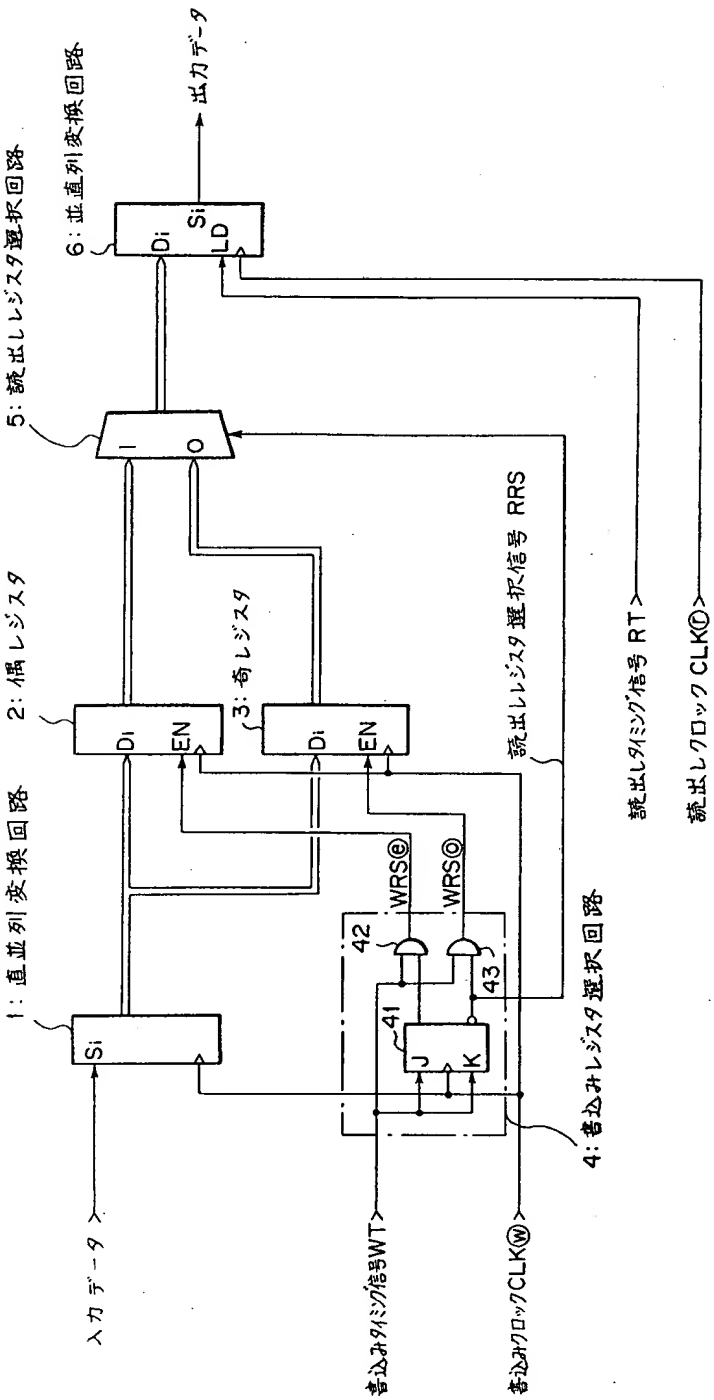
実施例装置のタイムチャート（進み位相時）

第３図



実施例装置のタイムチャート（遅れ位相時）

第４図


1：直並列変換回路
2：偶レジスタ
3：奇レジスタ
4：書込みレジスタ選択回路
5：読出しレジスタ選択回路
6：並直列変換回路
Si
Di
EN
LD
J
K
I
O
41
42
43
WRSⓔ
WRSⓞ
入力データ
出力データ
書込みタイミング信号WT
書込みクロックCLKⓌ
読出しレジスタ選択信号 RRS
読出しタイミング信号 RT
読出しクロック CLKⓇ

従　来　例

第５図